

电容对 ESD 的影响

如果只从电容的 ESD 特性来考虑，需要确保电容两端的电压不超过其击穿电压。然而，在一些特定的电路设计中，由电容和电阻构成的 RC 网络在 ESD 事件中的表现，可能会对整个电路的 ESD 响应特性带来显著的影响。

HBM 波形的发生器是依据 RC 电路的自然响应特性来设计的，但是实际电路中存在的寄生电容和电感，可能会导致产生的 HBM 波形与理想的响应波形不一致（HBM 波形的衰减阶段应该是指数衰减的形式）。在进行 ESD 测试时，电路中的电容可能处于三种不同状态：如图 1 中的①号电容，它与 ESD 放电路径没有直接联系，相当于是断路状态。在这种情况下，该电容既不会作用于电路的 ESD 性能，也不会受到 ESD 事件的直接影响。而图 1 中的②号电容，由于与 ESD 放电路径并联，它的存在不会对 ESD 电流的泄放造成不利影响，如图 2 所展示的情况。

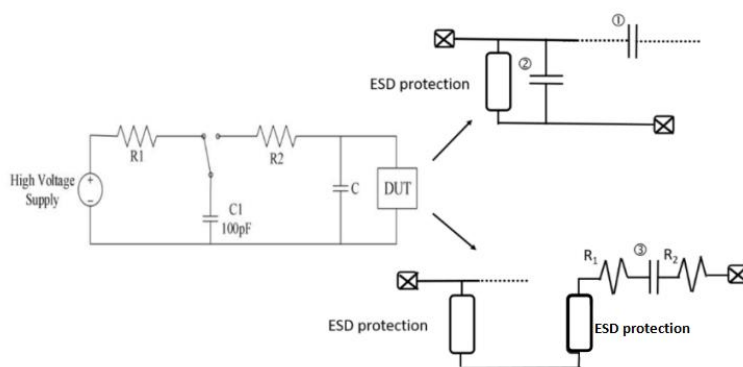


图 1. ESD 测试中不同连接方式的电容

在图 2 中，X7R 和 AFE 代表两种具有不同特性的寄生电容 ESD 保护元件。X7R 具有较低的容抗，而 AFE 具有较高的容抗。可以观察到，容抗较低的 ESD 保护元件会导致集成电路（IC）输入端的 ESD 电流较大，因此其防护效能相对较弱。相反，如果保护元件的容抗较高，输入端的 ESD 电流峰值将会降低，ESD 脉冲电流的波形也会更加平缓。

因此，在设计 ESD 防护电路时，一个有效的策略是在 ESD 放电路径中将电容与 ESD 保护元件并联。这样做可以增加保护元件的容抗，有效降低 ESD 脉冲的峰值电流。通过这种方式，ESD 脉冲的波形变得更加平缓，能量分布也更为分散，从而提高了电路对 ESD 事件的整体防护能力。这种策略有助于更有效地吸收和分散 ESD 事件中的能量，减少对敏感电路部分的损害。

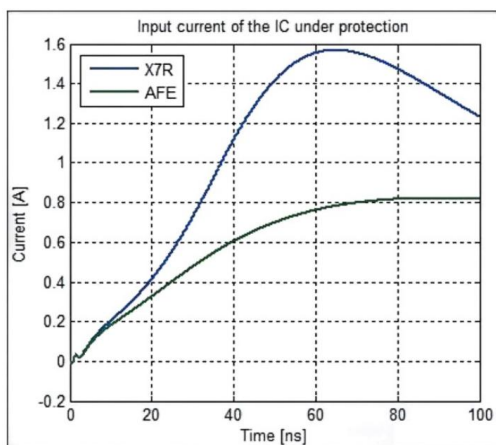


图 2. 不同阻抗电容对 ESD 波形的影响

特别需要注意的是图 1 中不常见的③号情况。在端口到端口的 ESD 泄放路径中，如果存在串联电容，并且该路径中还串有寄生电阻或其他元件带来的阻抗 R_1 和 R_2 ，这些元件构成的 RC 网络将对 ESD 性能产生显著影响。实验结果表明，由 R_1 、 R_2 和 C_3 形成的 RC 电路对 ESD 特性有重要影响。经过验证，已经排除了 C_3 因耐压不足导致失效的可能性。

从宏观角度来看，串联电容对 ESD 波形的影响与并联电容相反。串联电容会减少总电容值，使得 ESD 波形变得更尖锐，能量更集中，从而增加了电路失效的风险。进一步观察细节，ESD 发生器对于泄放路径上的串联电容而言，实质上充当了一个脉冲电源的角色。根据电荷守恒原理，ESD 发生器产生的总电荷量与最终从电路中泄放的电荷量是相等的（在此忽略由于器件雪崩击穿产生的较小载流子电荷量）。

电荷的迁移导致了瞬态电流的变化。如图 3 所展示， R_1 、 C_3 和 R_3 的存在会缩短整个波形的持续时间 T_2 ，造成瞬态冲激电流的增加，这相当于对 ESD 波形进行了一次再整形。这种再整形效果会影响整个电路的 ESD 耐受能力，可能会降低其鲁棒性。

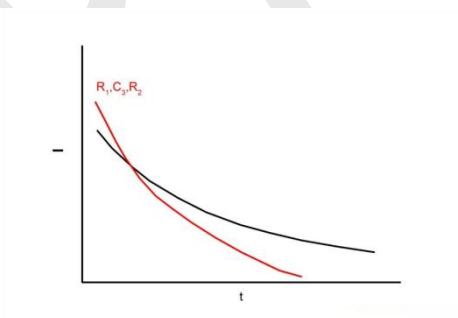


图 3. R_1 ， C_3 ， R_3 对 ESD 电流的整形作用

根据上述分析，我们可以得出结论，为了提升 ESD 保护能力，无论是 GGNMOS 还是二极管，都需要尽可能实现更多的并联。这样做的好处有两个方面：首先，通过并联可以增加电路承受大电流的能力；其次，可以增加寄生电容，有助于使 ESD 电流的波形变得更加平缓，从而使 ESD 能量在时间上更加分散，降低对电路的破坏性。

然而，增加寄生电容也会对高速电路的性能产生不利影响。在高速信号传输中，较大的寄生电容可能导致信号的延迟或失真，影响信号的完整性和电路的响应速度。因此，在设计 ESD

保护电路时，需要在提高 ESD 保护能力和保持电路高速性能之间找到平衡点。这通常涉及到对保护元件的选型、布局以及电路设计的精心规划和优化。

GRACE